

インテグリティを意識した設計

高速デジタル設計の世界では、ノイズの多い信号が穏やかな隣接の信号に影響して、影響を受けた信号が「メッセージ」を正確に伝達できなくなる場合があります。

高速デバイスが普及するにつれ、基板設計の段階で分散的に回路解析を行うことが重要になってきます。信号のエッジレートがナノ秒以下で生成される場所では、基板インピーダンスの注意深い解析が必要となります。これにより、信号ラインの適切な終端が得られ、これらのライン上の反射は最小化されます。電磁干渉（EMI）を規定されたガイドラインの範囲内に収めるためにも反射を制御することは重要です。最終的には、PCB 全体で信号のインテグリティ（シグナルインテグリティ：SI）を確保する必要があります。

SI 解析の正確な意味とは？

文字通り考えると、この言葉は単に信号のインテグリティ（無傷性）を解析することです。完全な相互接続を仮定して回路のファンクショナル動作を扱う回路のシミュレーションとは異なり、SI 解析ではデバイス間の相互接続に焦点を当てます。即ち、ソースとなる駆動ピン、ディステーションとなる受信ピンおよびこれらを接続する伝送ラインです。コンポーネントそのものは、ピンの I/O 特性項目だけでモデル化されます。

信号のインテグリティを解析するときには、単に信号の品質をチェックすることになります（変化が最小か無いことを期待して）。結局、ソースピンから出てくる信号が、伝送ラインを通過する際に劣化を受けず、ディステーションピンに理想的な形で到達すべきだということです。

デバイスピン間の接続は、トレース（配線）長、定義されたステイミュラス周波数に対するトレースの特性インピーダンス、および接続の両端での終端特性のそれぞれを因子として伝送ラインテクニックを使ってモデル化されます。通常、解析そのものには一般的な高速解析があり、問題点のある信号を迅速に特定するのに使われます。しばしば、この手法はスクリーニング解析と呼ばれます。同様に、詳細解析もありますが、これは反射を調査し（反射解析）また EMI を調査します（クロストーク解析）。

どのような場面で使用するか？

プロトタイプ基板上的の制御信号に間歇的なノイズグリッチがあると仮定すると、回路のファンクションに有害な影響を与えることになるでしょう。

最近の設計では、信頼性、SI、費用対効果および Time-to-Market の早さがテーマとなる分野です。設計プロセスのできるだけ早い段階で SI 問題を解決できれば、与えられた設計プロジェクトを完成させるために必要なイタレーションの回数は少なくすみます。多くの EDA ツールは、PCB レイアウトの前段階と設計途中の両方の時点で SI を解析する機能を持っています。完全な SI の全体像は、基板の配線が完了した時点でしかわかりません。特に、クロストーク解析の項目が必要となりますが、しかし反射の問題を扱うことにより EMI 効果を低減し、必要なレベルまで下げることができる場合があります。

SI 問題の多くは反射に起因するものです。文献 [Ensuring the Integrity of Signals](#) に現実的なレベルでその詳細が述べられていますが、特効薬は、終端コンポーネントを使うことでインピーダンスの不整合を補正することです。回路設計段階で解析を行えば、早い時点で終端コンポーネントを設計に追加することができます。同じ解析を基板レイアウトの段階で行うこともできますが、基板のレイアウトがすんだあとに終端コンポーネントを追加することは、時間の浪費でありリッキーでもあります。特に、高密度の基板では複雑性が増します。

多くのエンジニアがよりどころとしている良い SI 設計戦略とは、設計がキャプチャされた後の基板レイアウトの直前に信号インテグリティ解析を実行することです。必要に応じて反射問題を扱い、終端コンポーネントを配置します。それから設計を PCB に移し、望ましい伝送ラインインピーダンスに基づいて配線幅を決め配線します。回路設計段階で問題があると判断された信号をチェックします。同時に、クロストーク解析を行い、EMI が許容レベルにあることを確認します。

終端処理 — SI 問題解決の最終段

一般的に、信号の伝送ラインで反射が起こる原因は、インピーダンスの不整合にあります。電子工学の基本によれば、出力インピーダンスは低く、入力インピーダンスは高くなります。反射を減らしてクリーンな波形（リング特性が無いもの）を得るには、より良いインピーダンスマッチングが必要です。

一般的なソリューションは、終端抵抗や RC ネットワークを設計の関連する場所に配置することです。これによって、終端インピーダンスの整合を取り、反射を最小限に抑えます。さらに、インピーダンスを考慮して PCB 上の配線を行うことが、SI 改善の重要な鍵となります。つまり「インピーダンス制御された配線技術」が必要となるわけです。

The Holy Grail

クロストークのレベル（もしくは EMI の大きさ）は、信号ライン上の反射に直接比例します。信号の品質条件が達成されて、反射が無視できるまでのレベルになると、信号を最小の歪でディスティネーションに送ることができますので、クロストークも最小となります。

設計エンジニアにとっての「Holy Grail(聖杯)」は、信号の終端処理を正しく行い、PCB 上の配線によるインピーダンス制御を考慮して、品質の良い信号を得ることです。EMI を考慮することは、実務上厳しいことですが、設計フローに正しい SI 解析の実行を組み込めば、より難易度の高いタフな設計にも対応することが可能となるでしょう。

Altium Designer が SI 解析においてどのような成果を上げるかを見るには、文献 [Ensuring the Integrity of Signals](#) をご覧ください。