

信号品質を確保する

プロトタイプや PCB の製作を行う前に、期待された仕様の PCB を作成する重要なファクタは、高速信号のインテグリティを維持することです。Altium Designer の Signal Integrity Analyzer は、強力な SI 機能が装備され、現実的に設計が期待通りに動作することを検証してくれます。それがどのようにして行われるかを見てみましょう。

高速信号のインテグリティを確保する

デジタル設計が増加に伴い、高速デバイスの利用価値も高まっています。このようなデバイスでは、信号のエッジレートが高速となります。設計者にとっては、基板上の SI を確保することが大きな関心事となります。高速な立ち上がり時間が、長い配線と組み合わされると、信号の反射が生じます。特定の伝送ラインに反射が生じると、そのラインを通過する際に真の信号データが損なわれることとなります。同時に、隣接の伝送ラインに「ノイズ」を誘導します。つまり電磁干渉 (EMI) です。

信号反射とクロス信号干渉 (クロストーク) をモニタし制御するには、設計の全信号の反射とクロストークの量を正確に解析可能なツールが必要となります。Altium Designer はこのための入り口を提供しています。

Altium Designer で SI 解析を行う

Altium Designer は Signal Integrity Analyzer を装備しており、これを回路設計段階と PCB レイアウト設計段階の両方で使用できます。高度な伝送ライン計算と I/O バッファのマクロモデル情報が解析シミュレーションの入力として使われます。Fast Reflection and Crosstalk Simulators と共同して、Analyzer は業界実証済みのアルゴリズムを使用して正確なシミュレーションを生成します。

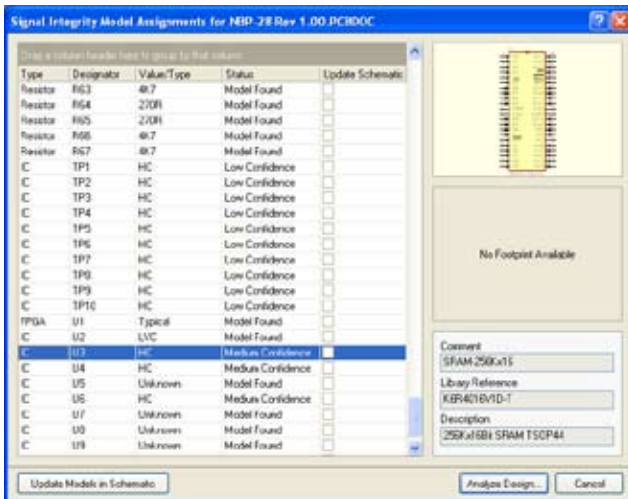
注意：回路図だけの解析あるいは配線済み基板からの解析を行う場合は、それぞれ回路図ドキュメントあるいは PCB ドキュメントをプロジェクトに添付する必要があります。PCB が存在する場合には、常に PCB ドキュメントに基づいて解析が行われます。

解析前の準備が重要

解析にはすぐにも着手できますが、次の点を理解することが必要です。

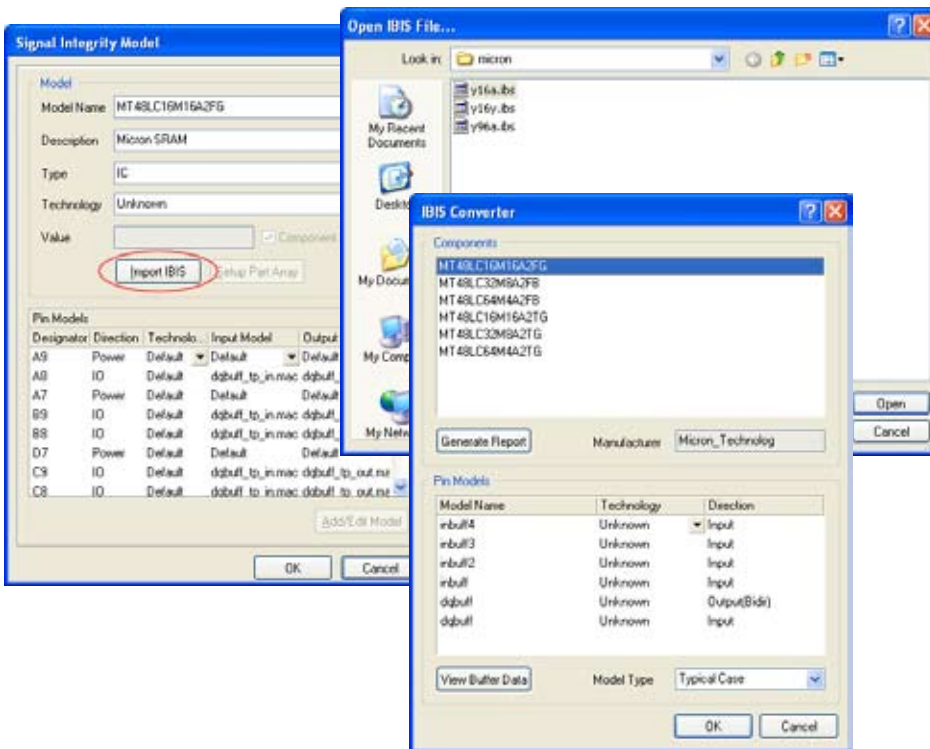
1. すべてのネットについて SI 特性が解析できるわけではありません。すべての特性を解析するには、ネットには出力ピンのある IC が少なくとも 1 個含まれていなければなりません。例えば、抵抗、キャパシタやインダクタは、ドライビング (駆動) ソースを提供できる出力ピンが無いので、シミュレーションはできません。双方向ネットを解析すると、両方向ともシミュレーションされますが、ワーストケースの結果だけが表示されます。
2. 設計の各コンポーネントに対しては、SI モデルタイプが正しく設定されていなければなりません。これは、Signal Integrity Model Assignments ダイアログを使って定義することができます。すべてのコンポーネントに対してモデルが定義されていない場合には、Analyzer を起動したときにこのダイアログにアクセスする機会が与えられます。また回路図から直接モデルを変更することができます。それには、それぞれのコンポーネントに対するモデルリンクを編集して行います。Signal Integrity Model ダイアログにアクセスするにはモデルリンクをダブルクリックしてください。

コンポーネントが IC の場合は、通常そのモデルを I/O ピン特性として IBIS ファイルからインポートすることになります。Altium Designer はそのファイルを読み、ピンモデルをインポートしてインストールピンモデルのライブラリに格納します。また、コンポーネントのすべてのピンには、ファイルによって指定された適切なピンモデルが割り当てられることとなります。



どのようなシミュレーションの場合でも、使用されるモデルが非常に重要で、精度に影響を与えます。使用するモデルによってシミュレーションの精度が決まるのです。

- 設計内のそれぞれのサブライネットにはデザインルールを設定しなければなりません。少なくとも2種のルールが必要となります。一つは電源ネット用のもの、もう一つはグラウンドネット用のものです。PCBに対しては、PCB Rules and Constraints Editor ダイアログで簡単にルールを定義できます (Design » Rules)。設計プロジェクトにPCBが存在しない場合には、それが必要なネットに適切なPCB Layoutダイレクティブを追加することでルールを指定することができます。別の方法としては、SI Setup Options ダイアログの一部としてこれらの制約を指定することができます。詳細は別途説明します。



- 配線済みの基板から解析を行うときは、PCBに対するレイヤスタックが正しく定義されていることを確認しなければなりません。Signal Integrity Analyzerには連続した電源プレーンが必要です。分割プレーンはサポートされていないので、そのプレーンに割り当てられたネットが使われることになります。それらが存在しない場合には、ツールが類推しますので、設計者が意図的に追加して適切に設定する方がはるかに良いのです。基板の特性、すなわち、すべてのレイヤの厚さ、コア、樹脂浸透加工剤も正しく設定する必要があります。誘電率を含めたこれらの性質はLayer Stack Manager ダイアログで定義可能です (Design » Layer Stack Manager)。

ブレイアウト (レイアウト前の) 解析を行うときは、計算上の目的で、デフォルトで内部プレーンが2枚の2層基板が使われます。制御を増やしたい場合は、プロジェクトにブランクPCBドキュメントを追加して必要なレイヤスタックを定義してください。

- 必須ではありませんが、Signal Stimulus デザインルールを定義することもできます。PCB側の標準ルールとして、あるいは回路図側のドキュメントレベルパラメータとして定義します。スティミュラスとは、解析するネット上の各出力 (駆動) ピンに注入する信号のことです。

Signal Integrity Analyzer を実行

Signal Integrity Analyzer は、Tools » Signal Integrity メニューコマンドを使って回路図または PCB からアクセスすることができます。すべてのコンポーネントにモデルを定義していないときは、Analyzer はどのモデルを使うかを推測します。定義されていないモデルがあれば、警告ダイアログが表示されます。解析しようとしている信号により、解析を継続することもでき、中断してモデル定義を整理することもできます。これには、Continue か Model Assignments のいずれかをクリックしてください。

Signal Integrity 解析の設定と実行の詳細は、チュートリアル [TU0113 Performing Signal Integrity Analyses](#) をご覧ください。

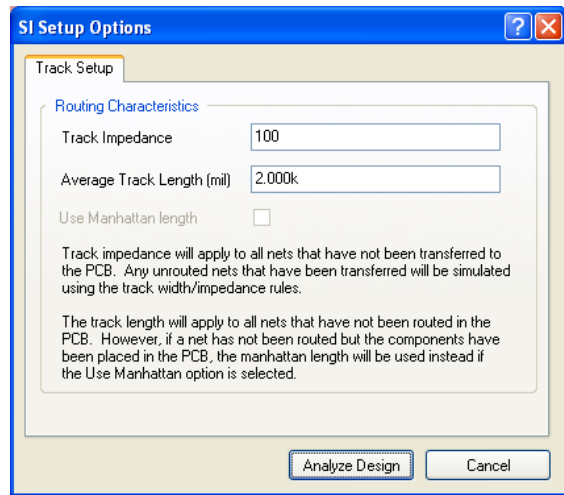
デフォルトの配線特性の設定

プロジェクトに初めて Signal Integrity Analyzer を使う場合は、PCB ドキュメントがあるかないかは別にして、SI Setup Options ダイアログが表示されます。このダイアログを使って、Track Impedance と Average Track Length のデフォルト値を定義します。

PCB が存在しない場合 (プリレイアウト解析) は、Analyzer はこれらの値を使って、設計上の類似信号のインテグリティ性能を正確に描き出します。従って、長さに設定する値は目的とする基板の実際の寸法を反映するものでなければなりません。プリレイアウト解析では、Signal Integrity パネル内から SI Setup Options ダイアログにいつでもアクセスすることができます。ダイアログには Supply Net と Stimulus ルールを定義するタブが含まれていますが、回路図で定義していない場合にこれを使います。

PC 基板が存在する場合 (ポストレイアウト解析) は、Track Impedance は PC 基板上に配線されていないネットに対してだけ使用されます。すでに転送された無配線のネットは、この width/impedance のルールを使います。この Track Length は無配線のネットに適用されます。しかし、コンポーネントを配置している場合は、これらのネットに対して Manhattan 長を選択することもできます。

一度 options/models を必要に応じて定義すれば、解析が進行し Signal Integrity パネルが表示されます。



初期スクリーニング解析

Signal Integrity パネルは、設計のパワーネットを除くすべてのネットをリストアップします。設計のすべてのネットに対して Analyzer が初期高速解析を行います。これをスクリーニング解析といいます。結果はパネルの左下にリストアップされます。

これらの結果には次のものが含まれます。

- ネットデータ (例えば、総トレース長およびネットが配線されているかどうか)
- インピーダンス データ
- 電圧データ (例えば、オーバーシュートとアンダーシュート)
- タイミング データ (例えば、フライト時間)
- Show/Hide Columns サブメニューを右クリックして、パネルに表示するデータを選んでください。デフォルトでは、アンダーシュートとオーバーシュートだけが表示されます。これらが最も良い特性で、最も問題があるネットを決めることができます。

| Net | Status | Falling Edge Overshoot | Falling Edge Undershoot | Rising Edge Overshoot | Rising Edge Undershoot |
|-----|--------|------------------------|-------------------------|-----------------------|------------------------|
| D2 | Failed | 3.410 | 2.696 | 3.385 | 2.696 |
| D1 | Failed | 3.410 | 2.696 | 3.385 | 2.696 |
| D0 | Failed | 3.410 | 2.696 | 3.395 | |
| D3 | Failed | 3.410 | 2.696 | 3.385 | |
| D6 | Failed | 3.410 | 2.696 | 3.395 | |
| D15 | Failed | 3.410 | 2.696 | 3.395 | |
| D7 | Failed | 3.410 | 2.696 | 3.395 | |
| D10 | Failed | 3.410 | 2.696 | 3.385 | |
| D8 | Failed | 3.410 | 2.696 | 3.385 | |
| D13 | Failed | 3.410 | 2.696 | 3.385 | |
| D5 | Failed | 3.410 | 2.696 | 3.395 | |
| D4 | Failed | 3.410 | 2.696 | 3.395 | |
| D12 | Failed | 3.410 | 2.696 | 3.395 | |
| D9 | Failed | 3.410 | 2.696 | 3.395 | |
| D11 | Failed | 3.410 | 2.696 | 3.385 | |
| D14 | Failed | 3.410 | 2.696 | 3.385 | 2.696 |
| D20 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D18 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D27 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D21 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D26 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D17 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D25 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D24 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D29 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D31 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |
| D16 | Failed | 2.649 | 2.108 | 2.670 | 2.100 |

詳細な反射解析

装備されている解析ツールの一つに、Signal Integrity Analyzerには反射解析シミュレータがあります。このシミュレータは、配線とレイヤ情報 (PCB や指定したデフォルトの配線特性から得られる) および関連するドライバとレシーバの I/O バッファモデルからネット上のノードの電圧を計算します。2 次元フィールドソルバが伝送ラインの電気的特性を自動的に計算します。このモデルでは、DC パスの損失は無視できるくらい小さいと仮定しています。

1 本のネットでも複数のネットでもシミュレーションは可能です。ただし解析するネットの数が増えるほど解析時間が大幅に増大します。

解析を実行するには、Reflections ボタンをクリックしてください。

クロストークの詳細解析

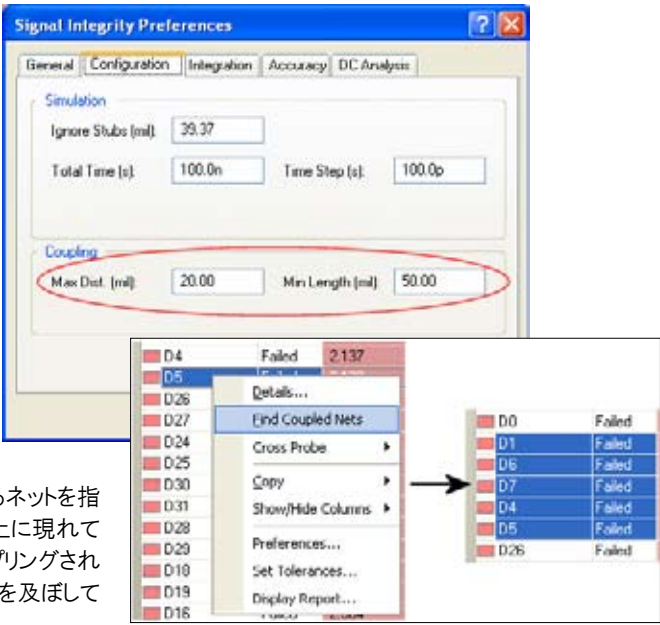
Signal Integrity Analyzer には専用のクロストークシミュレータがあるので、カップリングしたネット間の干渉を解析することができます。クロストークの解析には配線されたネットが必要となるので、PCB からしか実行できないことに注意してください。

クロストーク解析の際は一時に通常 2 本もしくは 3 本のネットが考慮されます。通常は 1 本のネットとそれに隣接するネットです。

Signal Integrity パネルには、選択したネットとカップリングしているネットをすばやく特定することができる機能が含まれています。この機能 (Find Coupled Nets) は、クロストークに敏感なネットを見つけるのに理想的です。これは、基本的には定義されたカップリングオプションに基づいて、PCB を解析しお互いに平行に走っているトレースを特定します。

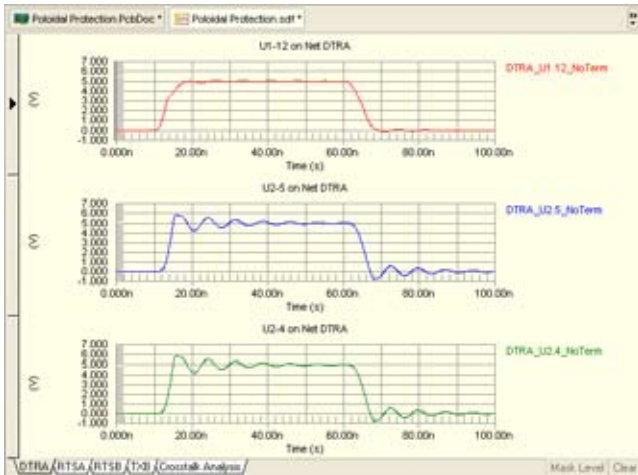
このシミュレータで、影響を受けているネットや影響を及ぼしているネットを指定することができます。近隣のネットが生成した干渉があるネット上に現れていれば、それは影響を受けているネットです。また、それにカップリングされている他のネットに干渉を与えているネットがあれば、それは影響を及ぼしているネットとなります。

解析を実行するには、クロストークボタンをクリックしてください。



ある特定の問題のあるネットに、カップリングしているネットをすばやく特定することができます。

解析結果の表示



解析結果はSimulation Data Editorに提示されます。

解析が進むと、シミュレーションデータファイル (*.sdf) が生成され、Simulation Data Editor の波形表示ウィンドウに解析結果が表示されます。

反射解析については、SDF ファイルには解析されたそれぞれのネットに対するチャートが含まれ、ネットのそれぞれのピンに対する波形 (プロット) が付けられます。

クロストーク解析チャートに対するデータ表示は、基本的に反射解析チャートのものと同じです。唯一の違いは、この解析に対しては 1 個のチャートしかありません。解析で考慮された各ネットのそれぞれのピンに対するプロットが含まれています。

解析波形の詳細については、アプリケーションノート [AP0106 Working with the Sim Data Editor](#) を参照してください。

伝送ラインインピーダンスのバランスを取る

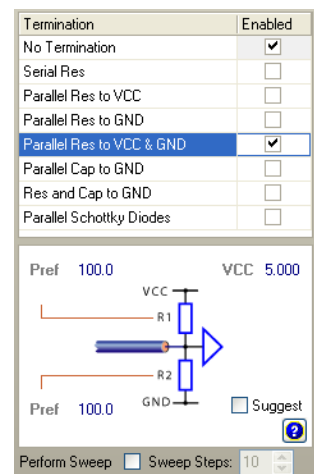
シグナルインテグリティの観点から設計を成功させる重要なことは、負荷のある場所での信号品質を良くすることです。理想的にはゼロ反射 (リングングなし) にすればよいのです。実際にはゼロ反射が常に可能なわけではありませんが、終端を用いることで設計の許容範囲までリングングのレベルを減らすことができます。

Signal Integrity Analyzer には Termination Advisor が付いています。これは、Signal Integrity パネル内からアクセスでき、定義した場所のネットに「仮想終端」を挿入することができます。これにより、基板に物理的な変更を行わずに、各種の終端戦略を自由にテストすることができます。

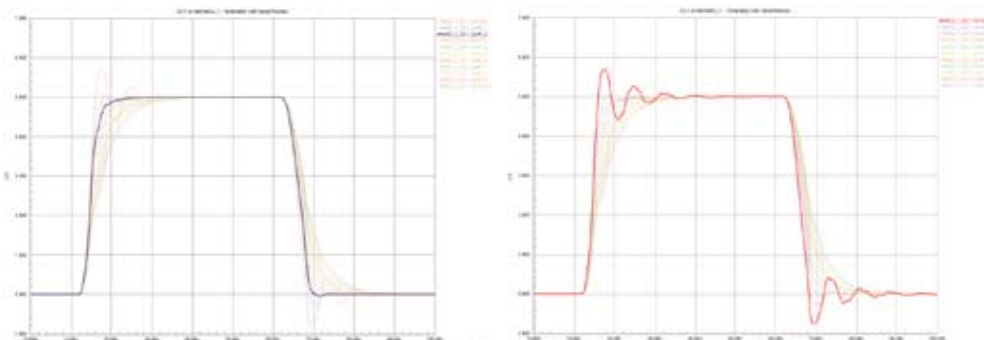
デフォルトの No Termination (終端なし) を含めて 8 種類の異なる終端が利用できます。反射とクロストークの解析を行う際は、複数の終端タイプをイネーブルすることができ、各終端に対して別々の波形が生成されます。これにより、設計に追加すべき最も適した終端を決めることができ、伝送ライン上の信号品質が最適化されますので、反射を許容レベルまで減らすことができます。

終端コンポーネント値の範囲をスイープしながら解析することもできます。これには、Perform Sweep オプションを起動して Sweep Steps の数を指定します。例えば Sweep Steps を 2 にすれば、解析の最初のパスではコンポーネントに最小値を指定し、第 2 のパスでは最大値を指定することになります。

望ましいレベルの終端戦略が見つかったら、その終端を回路図に直接配置します。ライブラリに登録されているコンポーネントはどれも使えますし、すべてのピンに配置することも、選択したピンだけに配置することもできます。またコンポーネントに正確な値を指定することができます。従って、関連するピンに終端回路を追加して配線するだけでよいのです。



仮想終端とその値を試してみ、インピーダンスを整合させ反射とクロストークを減らします。



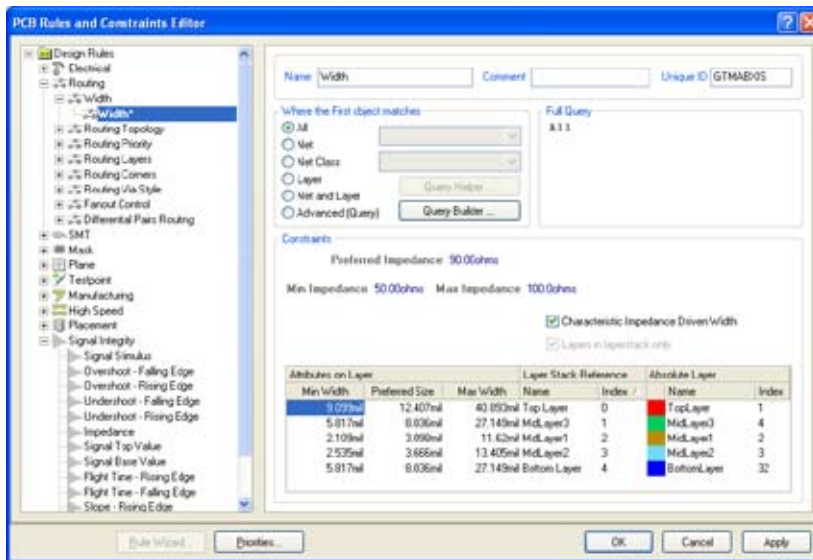
基板のレイアウト前にこの解析をすれば、既存のPCB (おそらく高密度に配線された) と再同期を取る必要がないので、事情はもっと簡単になります。

反射はインピーダンスの不整合により生じます。今までは、この不整合をコンポーネントピンのレベルで議論してきました。それは、受信ピンのインピーダンスが駆動ピンのインピーダンスによく整合が取れるように適切な終端を加えることでした。実際の伝送ライン（基板上に配線されたトレース）に必要なインピーダンスを設定できたらもっと良いはずですが、Altium Designer ではその方法もカバーしていますので、問題ありません。

Altium Designer の PCB Editor では、必要なインピーダンスを指定でき、それを実現するために各レイヤ上の必要な配線幅を計算する機能が備えられています。PCB Rules and Constraints Editor ダイアログで Routing Width デザインルールを定義するときに Characteristic Impedance Driven Width オプションをイネーブルにして、必要なインピーダンス（最小値 / 希望値 / 最大値）を入力すればよいのです。これにより、各信号レイヤに対する配線幅に自動的に変換され、定義された物理的レイヤ特性に合わせられます。

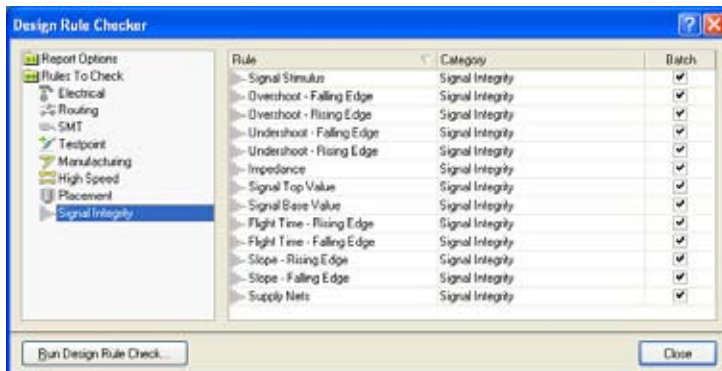
注意：インピーダンスは、Layer Stack Manager ダイアログからアクセスできる Impedance Formula Editor ダイアログで定義された公式を使って計算されます (Design » Layer Stack Manager)。

詳細については、アプリケーションノート [AP0107 Impedance-Controlled Routing](#) をご覧ください。



インピーダンスの最小値、希望値、最大値の各要件を指定すれば、各信号レイヤの配線幅が計算されます。

標準の PCB 設計フローに SI を統合



製造用の最終回路を生成する前に、疑いなく（そして注意深く）最後のデザインルールチェック (DRC) を行うこととなります。Batch DRC の一部として、Altium Designer の PCB Editor では、各種の SI に基づくルールを定義することが可能です。アンダーシュートとオーバーシュート、エッジスロープ、信号レベルおよびインピーダンス値などのパラメータのスレッショールドを設定することができます。チェックの過程で問題のあるネットが見つかったら、より詳細な反射とクロストークの解析を行うことができます。

このようにして、許容できる SI パラメータを設定することが通常の基板定義プロセスの一部となります。これは、配線や部品のクリアランスや配線幅を日常的に定義

日常的 DRC 戦略の一部として、SI のルールチェックを指定するようにしてください。

するのとまったく同じことです。最終基板に完全な DRC を実行することを習慣にすれば、物理的レイアウトに起因する SI 問題の特定が容易になります。

SI のデザインルールは、設計を解析するための単独の手段としてではなく、補完的なチェックとして考えてください。

Altium Designer には、Signal Integrity Analyzer の機能を実証するためのプロジェクト例が含まれています。

これらの例は、すべてインストールの \Examples\Signal Integrity フォルダに含まれています。

- Differential Pair – この例 (DifferentialPair.PrjPcb) は、簡単な作動ペア伝送ラインの反射解析を例示しています。
- NBP-28-この例 (NBP-28.PrjPcb) は、SI 解析により、FPGA デバイスの特定ピンを最適のドライブに設定する方法を示しています。SI で問題のある設計を疑問のあるネットを解析して修正するものとは異なり、この例は「設計の SI と EMI が問題となる前にある特定の信号をドライブすることの難しさ」に挑戦するものです。
- Simple FPGA – この例 (SimpleFPGA_SI_Demo.PrjPcb) は、非常に簡単な FPGA 設計に SI 解析を行う例です。特に、物理的 FPGA デバイス (Spartan IIE) の異なるバンクに接続された伝送ライン上の反射を、種々の終端タイプを使って低減するものです。
- Spirit Level – この例は、実際の設計の全過程で SI 解析の使用に続く段階的プロジェクトを集めたものです。各プロジェクトの「ステージ」で、SI 問題の発見とその解決策が述べられています。最初は回路設計フェーズ (SCH Issues.PrjPcb and SCH Issues Resolved.PrjPcb) の間で、それから基板レイアウトフェーズ (PCB Issues.PrjPcb and PCB Issues Resolved.PrjPcb) に移ります。

まとめ

Altium Designer の Signal Integrity Analyzer を使用することで、SI と EMI 条件を確実に仕様内に入れることができます。プリレイアウト解析のサポートにより、設計プロセスの早い段階で問題点を特定し修正することができます。プロトタイプを行う前にポストレイアウト解析を行えば、信号品質の正確な状態を確認できます。信号反射が指定した許容範囲にあることを再確認し、さらに厳密な EMI 規格に準拠していることを検証する詳細なチェックを行うことができます。

基板レイアウトの前後に信号解析を行い、製造前 DRC の一部としてコンストレイント (制約) のチェックを行えば、安心して後工程に設計データを手渡すことができることを確信することでしょう。